

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-272737

(43)Date of publication of application : 07.11.1990

(51)Int.Cl.

H01L 21/321

(21)Application number : 01-094450

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 14.04.1989

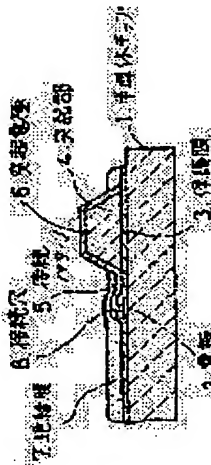
(72)Inventor : INOUE KAZUO

(54) PROJECTING ELECTRODE STRUCTURE OF SEMICONDUCTOR AND FORMATION OF PROJECTING ELECTRODE

(57)Abstract:

PURPOSE: To form a projecting electrode on a semiconductor element region and to realize compactness and cost reduction of a semiconductor chip by providing a connecting hole to a protective film on an electrode and by providing a connection pattern which connects the electrode and a projecting section through the hole.

CONSTITUTION: A conducting hole 8 is provided to expose an electrode 2 from a protective film 3 on a semiconductor chip 1, and a projecting section 4 is formed on the protective film 3 apart from the electrode 2. The electrode 2 and the surface of the projecting section 4 are covered with a connection pattern 5 through the connecting hole 8 to form a projecting electrode 6 by the projecting section 4 and the connection pattern 5. An insulating film 7 which consists of organic high polymer is formed all over a surface excepting a top of the projecting section 4. Thereby, it is possible to form a projecting electrode on a semiconductor element region, to enable connection with an electrode through a small connecting hole, and to realize compactness and cost reduction of a semiconductor chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-272737

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月7日

H 01 L 21/321

6810-5F H 01 L 21/92

C

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体の突起電極構造及び突起電極形成方法

⑯ 特 願 平1-94450

⑰ 出 願 平1(1989)4月14日

⑱ 発 明 者 井 上 和 夫 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

⑲ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体の突起電極構造及び突起電極形成方法

2. 特許請求の範囲

(1) 半導体チップの電極が露出する様に接続穴を設けた保護膜と、前記電極と離れた位置でかつ前記保護膜上に設ける突起部と、前記接続穴を介して前記電極と前記突起部表面とを覆う如く設ける接続パターンと、前記突起部及び接続パターンから成る突起電極と、該突起電極が露出しかつ前記保護膜及び接続パターン上に設けた絶縁膜とを備えることを特徴とする半導体の突起電極構造。

(2) 半導体チップ上に形成した電極が露出するよう接続穴を形成した保護膜を形成する工程と、前記電極の近傍に突起部を形成する工程と、前記電極と前記突起部表面を覆う導電性材料から成る接続パターンを形成し該接続パターンと前記突起部とから成る突起電極を形成する工程と、前記半導体チップ表面の略全面に前記突起電極の頂部を露出する如く絶縁膜を形成する工程とを有すること

を特徴とする半導体の突起電極形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体チップの電極構造及び電極形成方法に係り、特に半導体チップ上面に形成する突起電極構造及び突起電極形成方法に関する。

〔従来の技術〕

近年電子機器の軽薄短小化、低価格の強い要求から、半導体チップの実装に於いても、実装面積が小さく、実装厚が薄く、実装価格が低い実装方式の採用が望まれている。これに対応するためフリップチップボンディング法(以下FC法と称す)、テープオートメーテッドボンディング法(以下TABと称す)、メカニカル接続法等、半導体チップの電極と回路基板上に形成された回路パターンとを全電極一括にボンディングする接続方式が検討されている。以上の如き接続方式に於いては一般的に第3図及び第4図に示す様な半導体チップのアルミニウムパッド上にアルミニウムパッドとの接合、拡散防止のための金属層を形成し、さ

らにハンダ、銅、金等のメッキ層を形成して成る突起電極を有する半導体チップが用いられている。

以下第3図の平面図及び第3図のB-B断面図を示す第4図に添って従来技術に於ける突起電極構造及び突起電極形成方法を説明する。半導体チップ11表面に設けたアルミニウムパッド12を開口露出する如く保護膜13を形成する。該アルミニウムパッド12はボンディング時の熱的、機械的ストレスあるいは実装後の環境ストレスを受けるため半導体素子形成領域外に設けられている。前記保護膜13は一般的に溝を含有した酸化シリコン膜、窒化シリコン膜等の無機質膜やポリイミド樹脂等の有機高分子膜やこれらの積層構造が用いられる。次にアルミニウムパッド12を含む半導体チップ11表面全面にクロム-銅、アルミニウム-クロム-銅等の共通電極層14をスパッタリング、蒸着等の手段で形成する。次にアルミニウムパッド12部を開口する如く共通電極層14表面の略全面をレジストで覆った後、共通電極層14をメッキ用電極として、アルミニウムパッド

が占める面積が大きく半導体チップ11の縮小化に対する障害となる。又突起電極16のメッキ層15を形成する際、メッキ層15の成長は一般的にはほぼ等方的に進行するため、レジスト開口径に比べ必要とする突起電極16高さの2倍程度の突起電極16外径の増加が生じ、このため突起電極16ピッチの縮小化に対する障害となる等、半導体チップ11の小型化、低価格化さらには実装面積の縮小化を進める上で大きな問題となっている。

本発明はかかる点に着目し、大きなアルミニウムパッドエリアを必要とせず、半導体素子領域上への突起電極形成が可能で、半導体チップサイズの縮小化を可能とする突起電極構造及び突起電極形成方法を提供することを目的としている。

〔課題を解決するための手段〕

上記目的を達成するため本発明に於ける突起電極構造及び突起電極形成方法は、以下に記載の突起電極構造及び突起電極形成方法とする。

(1) 半導体チップの電極が露出する様に接続穴を設けた保護膜と、電極と離れた位置でかつ保護膜

12上に設けられたレジスト開口部にハンダ、銅、金等のメッキ層15を形成する。前記共通電極層14は、アルミニウムパッド12及びメッキ層15との密着が良く、アルミニウムパッド12とメッキ層15との拡散防止効果を有する構成を選択することが重要であり、上記した共通電極層14構成の他にもチタン-パラジウム、チタン-ニッケル-金等の構成も用いることが可能である。しかる後、レジストを剥離し、共通電極層14をメッキ層15をマスクとしてメッキ層15下部を除く共通電極層14をエッチング除去して突起電極16を完成する。

〔本発明が解決しようとする課題〕

しかし上記する如き従来技術に於ける半導体の突起電極構造に因ると、半導体チップ11をボンディング接続する際に生ずる熱的、機械的ストレスあるいは実装後の環境ストレスから半導体素子を保護するため、半導体素子形成領域外にアルミニウムパッド12を設けている。このため半導体チップ11の全面積中、アルミニウムパッド12

上に設けた突起部と、接続穴を介し電極と突起部表面を覆う如く設けた接続パターンと、突起部及び接続パターンから成る突起電極の少なくとも頂部が露出しかつ保護膜及び接続パターン上に設けた絶縁膜とを備えた半導体の突起電極構造。

(2) 半導体チップ上に形成した電極が露出する如く接続穴を形成した保護膜を形成する工程と、電極近傍に突起部を形成する工程と、電極と突起部表面を覆う導電性材料から成る接続パターンを形成し接続パターンと突起部とから成る突起電極を形成する工程と、突起電極の少なくとも頂部を露出し半導体チップ表面の略全面に絶縁膜を形成する工程とを有する半導体の突起電極形成方法。

〔作用〕

上記構造及び形成方法によると、突起電極を半導体素子領域上に形成することが可能で、従来技術に於けるアルミニウムパッドに比べ小さい接続穴にてアルミニウム電極との接続を取ることができ、又突起電極外径も突起部形成寸法で決定できるため小径の突起電極を得ることができる等、半

導体チップの縮小化、低価格化に寄与するものである。

〔実施例〕

以下本発明の実施例を図面に添って説明する。

第1図は本発明に於ける半導体チップを示す平面図、第2図(a)～(d)は工程を説明するための第1図に於けるA-A断面図を示す。第2図(d)を用いて構造を説明し、この構造を形成するための方法を第2図(a)～(d)を用いて説明する。

本発明における突起電極構造は第2図(d)に示すように、半導体チップ1の電極2が露出するように接続穴8を設けた保護膜3と、電極2から離れた位置でかつ保護膜3上に設ける突起部4と、接続穴8を介して電極2と突起部4表面とを覆う接続パターン5と、突起部4と接続パターン5とからなる突起電極6とからなる。

次に上記構造を形成するための製造方法を説明する。まず第2図(a)に示すように、半導体チップ1の表面に、アルミニウムからなる電極2を露出する如く複数個の接続穴8を設けた無機質膜や有機高分子膜やこれらの積層構造からなる保護膜3を形成する。電極2は半導体素子領域内のアルミニウム配線であっても良く又、アルミニウム以外の金属材料であっても良い。

次に第2図(b)に示すように、電極2を含む保護膜3の表面全面にポリイミド等の有機高分子膜を数ミクロンから百ミクロン程度の厚さでコーティング形成し、しかる後フォトリソ等の手段により、少なくとも電極2数の突起部4を保護膜3表面に形成する。この突起部4はポリイミド等の有機高分子膜以外にも酸化シリコン、窒化シリコン等の無機膜あるいは有機高分子膜と無機膜の多層構成でも良い。

次に第2図(c)に示すように、前記突起部4及び電極2を含む半導体チップ1の表面全面にアルミニウム、銅、金等の金属層をスパッタリング、蒸着等によって形成し、しかる後、少なくとも電極2に対応する数の突起部4の頂部を覆い、電極2と電気的接続を成す接続パターン5をフォトリソ形成する。

次に第2図(d)に示すように、半導体チップ1の表面全面にポリイミド等の有機高分子から成る絶縁膜7をコーティング形成し、少なくとも突起部4の頂部を露出せしめる如くフォトリソして突起電極6を完成する。この状態を第1図に示す。上記の絶縁膜7はポリイミド等の有機高分子以外にも酸化シリコン、窒化シリコン等の無機系材料を用いても良い。

突起電極6の形成は上記するフォトリソによる方法の他にも印刷法や転写法といった方法で、突起部4、接続パターン5を形成することも可能である。

又、突起電極6の頂部に他の導電性金属層を形成することも可能であり、例えば、印刷リフロー、ディップ等の方法でハンダを、無電解メッキ等の方法で銅、金、ニッケルを、あるいはこれらの多層膜を形成することも可能であり、D.C法、TAB法、メカニカル接続法等の各種接続法への適応が可能となる。

〔発明の効果〕

以上の如く本発明に因ると、半導体チップの保護膜上に突起電極を形成することが可能となり、半導体素子形成領域上も突起電極形成可能領域となるため従来の様なアルミニウムパッドのための広い面積を必要としない、又突起電極の径も突起部の形状で決定されるため小径の突起電極形成が容易である等、半導体チップサイズの縮小化、強いては半導体チップ価格の低価格化、半導体実装面積の小型化に対し大きな効果を有する。

又接続パターンのレイアウトにより突起電極配置の自由度が得られる。

又突起部を弾性を有する有機高分子膜や有機高分子膜と無機膜の多層構造とすることでボンディング時の熱的、機械的ストレスや実装後の環境ストレス耐性の高い突起電極を提供でき実装品質の安定化に対し効果がある等、多大な効果を有する。

4. 図面の簡単な説明

第1図は本発明に於ける半導体チップを示す平面図、第2図(a)～(d)は工程を説明するための第1図に於けるA-A断面を示す断面図、第3図は従

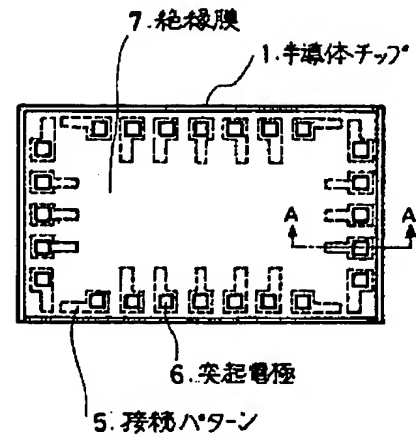
来例の半導体チップを示す平面図、第4図は第3図に於けるB-B断面を示す断面図である。

- 2 ……電極、
- 3、13 ……保護膜、
- 4 ……突起部、
- 5 ……接続パターン、
- 6、16 ……突起電極、
- 7 ……絶縁膜、
- 8 ……接続穴。

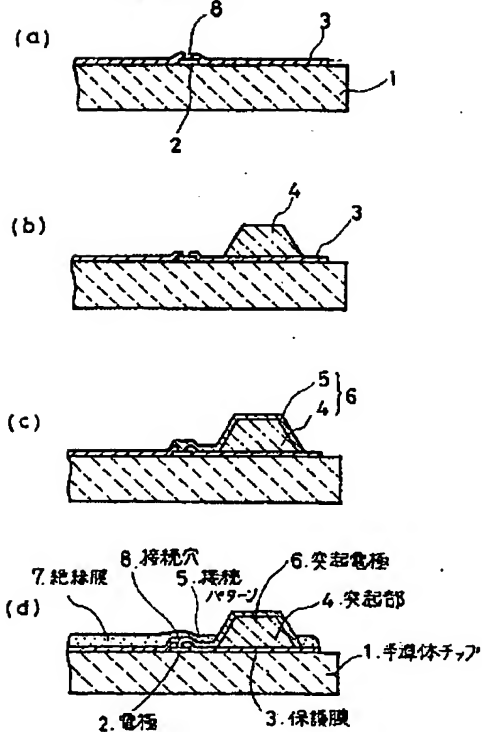
特許出願人 シチズン時計株式会社



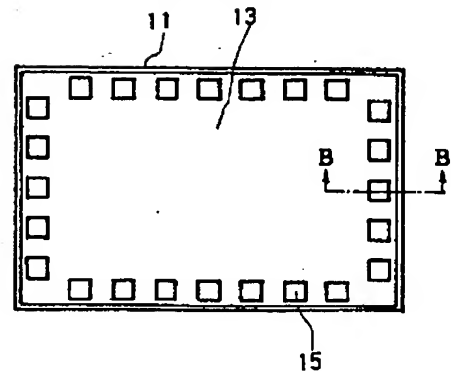
第1図



第2図



第3図



第4図

